

9. Schaltwerke Grundlagen

- FF- Arten und Realisierung
- Automaten
- Diagramme
- Ablauftabelle
- Schritte des Schaltwerk/-netzentwurfs
- Zustandsreduktion
- Zustandcodierung
- Asynchrone Schaltwerke
- Hasards

10. Logiksimulation

- Simulations-Algorithmus
- Modellierung des Zeitverhaltens
- Fehlersimulation

11. Digitaler Systementwurf und Hardwarebeschreibungssprachen

- 11.1 Einsatzbereich einer HDL
- 11.2 Abstraktionsebenen
- 11.3 VHDL-Objekte
- 11.4 Synthese
- 11.5 Simulation

12. Halbleiterspeicher

- 12.1 Übersicht
- 12.2 RAM
 - 12.2.1 Statisches RAM
 - 12.2.2 Dynamische RAM
- 12.3 ROM

13. Test

- 13.1 Grundlagen Test
- 13.2 Testfreundlicher Entwurf (DFT)
- 13.3 Testdurchführung
- 13.4 Fehlersimulation

14. Aufbau- und Montagetechnik

- Montageablauf
- Gehäusebauformen
- Leadframe
- Bonden
- Prüfen
- Multichipmodule

6. Layout

6.1 Einführung: Aufgaben der Layoutentwicklung

6.2 Polygonlayout, Full-Custom-Design, Datendarstellung, Zellen

6.3 Geometrische Entwurfsregeln

6.3.1 Durch Herstellerprozeß begründete Regeln

6.3.2 Durch elektrische und physikalische Randbedingungen begründete Regeln

6.3.3 Durch Latch-Up-Vermeidung begründete Regeln

6.4 Layoutverifikation

6.4.1 Geometrischer Design-Rule-Check (DRC)

6.4.2 Electrical Rules Check (ERC)

6.4.3 Electrical Parameter Check (EPC)

6.4.4 Network Consistency Check (NCC)

6.4.5 Layout Parameter Extraction (LPE)

6.5 Automatische Verfahren, Standardzellen...

6.5.1 Sticks-Notation für Layoutplanung und -zeichnung

6.5.2 Partitionierung

6.5.3 Platzierung (Placement)

6.5.4 Verdrahtung (Routing)

6.6 Layoutplanung, Stromversorgung...

6.6.1 Stromversorgung

6.6.2 Clock

6.6.3 Analogschaltungen

6.6.4 Chip-Peripherie, Anschlüsse, Bondplan

6.6.5 Planung eines Full Custom Layouts

7. Simulation elektrischer Schaltungen

- Netzwerk-/Schaltungsanalyse
- Gleich-/Wechselstromanalyse
- Transientenanalyse
- Knotenspannungsanalyse

8. Logik-Entwurf

8.1 Schaltalgebra (Boole'sche Algebra)

- Schaltwerk/ Schaltnetz

8.2 Entwurf

- Sätze
- Kombinatorische Netzwerke aus Schaltern

Minimierungsverfahren für Schaltnetze:

8.3 Aufbauende Verfahren

8.3.1 Primimplikantenverfahren (KVS)

8.3.2 Quine Mc Cluskey-Verfahren

8.3.3 Iterierter Consensus

8.3.4 Verallgemeinerter Consensus

8.4 Zergliedernde Verfahren

8.4.1 Nelson-Verfahren

8.4.2 Sharp-Verfahren

Verfahren zur Lösung von Überdeckungsproblemen:

8.5 Exakte Verfahren

- Patrik-Verfahren

8.6 Näherungsverfahren

- Methode der getrennten Sterne

8.7 Verfahren zur Minimierung von Funktionsbündeln

8.7.1 Erweiterung des verallgemeinerten Consensus

8.7.2 Erweiterung des Quine Mc Cluskey-Verfahrens

EiS - Entwurf integrierter Schaltungen

Stoffsammlung Vorlesung WS 97/98 und SS 98
© Andreas Rother

1. Einführung

- 1.1 Integrationsprozesse
- 1.2 Prozeßfamilien
- 1.3 Entwurfsstile
- 1.4 Mikroprozessoren...
- 1.5 Trends

2. Technologien für integrierte Schaltungen

- 2.1 Aufbau der MOS-Technologien
 - 2.1.1 Metal Gate
 - 2.1.2 CMOS-Metal Gate
 - 2.1.3 CMOS-Polysilizium Gate
- 2.2 Prozeßfluß...
 - 2.2.1 Selbstjustierender Prozeß
- 2.3 Bipolar- und Mischprozesse
 - 2.3.1 Bipolarprozesse
- 2.4 Ausbeute und Kosten
 - 2.4.1 Scheibenausbeute
 - 2.4.2 Wafer Yield (Ausbeute von guten ICs je Scheibe)
 - 2.4.3 Ausbeute von guten gehäuteten ICs
- 2.5 Das Verhalten des MOS-Transistors
 - MOS-Transistor
 - MOS-Kapazität
 - Energieband-Diagramme
 - Kennlinie des MOS-Transistors
 - Substrat-Effekt
 - Kapazitäten eines MOS-Transistors
 - Verschieden Einflüsse und Effekte

3. Entwicklungsfluß

- 3.1 Ordnungsprinzipien
- 3.2 Entwurfsprozeß

4. Elektrische Schaltungen

- 4.1 Grundsaltungen Digital
 - komplementärsymmetrische Schaltungen
 - Inverter
 - (Komplex-)Gatter
 - Transfer-Gates
- 4.2 Latches und Flipflops
- 4.3 Schaltverhalten der CMOS-Logikschaltungen
- 4.4 Treiber für höhere Lasten, Pad-Treiber, E/A
- 4.5 Analogschaltungen
 - OpAmp
 - Integrator mit sc

5. E/A, Strom-und Taktversorgung, Leitungen

- ESD
- Latch-Up
- PAD-Treiber
- Leitungssimulation
- Takt-Signal-Verteilung und Versorgung
- Stromversorgung und Leitungen